



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **02285711 A**(43) Date of publication of application: **26 . 11 . 90**

(51) Int. Cl

H03K 17/04**H03K 19/0175****H03K 19/096**(21) Application number: **01106557**(22) Date of filing: **26 . 04 . 89**(71) Applicant: **NEC CORP**(72) Inventor: **KIMURA AKIRA
NAKAMURA MASAHIRO**(54) **DRIVING CIRCUIT**

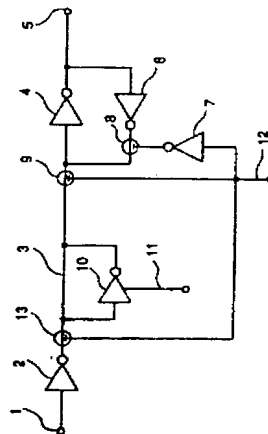
signal line 3 is driven at high speed.

(57) Abstract:

COPYRIGHT: (C)1990,JPO&Japio

PURPOSE: To attain high speed operation even when a signal line with a large capacity is driven by charging/discharging the signal line to an intermediate level between a high level output of a drive circuit and a low level output prior to a change in the output of a driving circuit.

CONSTITUTION: When an input signal is changed and the processing is finished, a control signal 12 changes to an L level, then the L level is maintained till the changing point of time of the succeeding input signal. Thus, transfer gates 9, 13 are turned off, the signal line 3 is disconnected from inverters 2, 4. When the control signal 11 goes to a high level succeeding, the charging or discharging to the signal line 3 via an inverter 10 is implemented, and the level of the signal line 3 goes to an intermediate level between the H level and the L level. Moreover, in such a case, a transfer gate 8 is turned on and the inverters 4, 6 form a latch and the inverter 4 keeps its output value. When the input signal 20 changes in this state, the controls signal 12 changes from an L level to an H level, and the



⑫ 公開特許公報(A) 平2-285711

⑤ Int. Cl.³H 03 K 17/04
19/0175
19/096

識別記号

A

庁内整理番号

8124-5 J

A

8326-5 J
8326-5 J

⑬ 公開 平成2年(1990)11月26日

H 03 K 19/00 1 0 1 F

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 ドライブ回路

⑰ 特 願 平1-106557

⑱ 出 願 平1(1989)4月26日

⑲ 発 明 者 木 村 晃 東京都港区芝5丁目33番1号 日本電気株式会社内
 ⑲ 発 明 者 中 村 雅 博 東京都港区芝5丁目33番1号 日本電気株式会社内
 ⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号
 ⑲ 代 理 人 弁理士 藤 巻 正 憲

明 細 書

1. 発明の名称

ドライブ回路

2. 特許請求の範囲

(1) 駆動されるべき負荷容量と、この負荷容量を駆動する駆動回路と、この駆動回路の出力が変化するのに先立って前記負荷容量と前記駆動回路及び放形整形回路との間を非導通状態にするゲート回路と、このゲート回路が非導通状態のときに前記負荷容量を前記駆動回路のハイレベル出力とローレベル出力との間の中間レベルに充放電する充放電回路とを具備したことを特徴とするドライブ回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は負荷容量が大きなバスライン等を駆動するドライブ回路に関する。

〔従来の技術〕

従来、負荷容量が大きなバスラインを駆動する

ドライブ回路は、例えば第4図に示すように構成されていた。即ち、インバータ2は、入力端子1から入力される入力信号に基づいて信号線3を駆動する。この信号線3に現れる出力は、次段のインバータ4で放形整形され、出力端子5を介して出力される。

この回路において、例えば第5図30で示すような入力信号が入力端子1を介して入力されたとすると、この入力信号はインバータ2によって信号線3を同図31で示すように変化させ、さらにインバータ4を介して同図32で示すような出力信号に変換される。

〔発明が解決しようとする課題〕

しかしながら、上述した従来のドライブ回路は、第5図にも示すように、入力信号に対して出力信号の伝播遅延が大きいという問題があった。この遅延時間は、信号線3の負荷容量とインバータ2の駆動能力とに依存するので、従来は、駆動回路としてのインバータ2の駆動能力を可能な限り高めることで、伝播遅延の縮小を図っていたが、例

えば内部バスのように負荷容量が極めて大きな信号線を駆動する場合には、信号遅延は無視できない程度に大きくなってしまいう問題点があった。

本発明はかかる問題点に鑑みてなされたものであって、負荷容量が大きい場合でも、信号伝播遅延が少ないドライブ回路を提供することを目的とする。

[課題を解決するための手段]

本発明に係るドライブ回路は、駆動されるべき負荷容量と、この負荷容量を駆動する駆動回路と、この駆動回路の出力を波形整形する波形整形回路と、前記駆動回路の出力が変化するのに先立って前記負荷容量と前記駆動回路及び波形整形回路との間を非導通状態にするゲート回路と、このゲート回路が非導通状態のときに前記負荷容量を前記駆動回路のハイレベル出力とローレベル出力との間の中間レベルに充放電する充放電回路とを具備したことを特徴とする。

[作用]

力端は出力端子5に接続されている。

インバータ2の出力端と信号線3との間には、トランスファゲート13が介挿され、信号線3とインバータ4の入力端との間にはトランスファゲート9が介挿されている。これらトランスファゲート9、13は、制御信号12がL(ロー)レベルのときに非導通、H(ハイ)レベルのときに導通状態となるもので、信号線3をインバータ2、4から選択的に切り離したり、接続したりする。

信号線3には、インバータ10の入出力端が接続されている。このインバータ10は、制御信号11に基づいて信号線3を充放電する。

また、波形整形回路としてのインバータ4の入出力端には、インバータ8が逆並列接続され、インバータ8の出力側には、トランスファゲート8が介挿されている。このトランスファゲート8は、前述した制御信号12をインバータ7によって反転させた信号によってオンオフ制御される。

次にこのように構成された本回路の動作を第2図の波形図に基づいて説明する。

本発明によれば、駆動回路の出力が変化するのに先立って、信号線を駆動回路のハイレベル出力とローレベル出力の中間レベルに充放電するようにしたので、出力変化の際には、上記中間レベルからハイレベル又はローレベルへと変化させることができ、その分だけ信号の伝播遅延時間を短縮することができる。このため、負荷容量の大きな信号線をドライブする場合でも、従来に比べて高速動作が可能になる。

[実施例]

以下、添付の図面を参照しながら本発明の実施例について説明する。

第1図は本発明の第1の実施例に係るドライブ回路の構成を示す回路図である。

入力端子1を介して入力される入力信号は駆動回路であるインバータ2に入力されている。このインバータ2の出力端は負荷容量の大きい信号線3の一端に接続されている。この信号線3の他端は波形整形回路としてのインバータ4の入力端に接続されている。そして、このインバータ4の出

いま、第2図中20で示す入力信号が変化して、その変化に伴う必要な処理が終了すると、同図22で示す制御信号12はLレベルに変化し、その後、次の入力信号の変化時点までLレベルを維持する。これにより、トランスファゲート9、13がオフとなり、信号線3はインバータ2、4と電気的に切り離される。続いて図中21で示す制御信号11がハイレベルになると、インバータ10を構成するPチャネルMOSトランジスタ又はNチャネルMOSトランジスタを介して信号線3に対する充電又は放電が行なわれ、信号線3の電位は、図中23で示すように、HレベルとLレベルとの中間レベルになる。

また、このときトランスファゲート8はオン状態となっているので、インバータ4、8によってラッチが形成され、インバータ4は、その出力値を保持する。

この状態で入力信号20が変化すると、制御信号12も同時にLレベルからHレベルへと変化し、これにより、トランスファゲート9、13が導通

し、インバータ2によって信号線3が駆動される。このとき、信号線3は中間レベルからHレベル又はLレベルへと変化するのので、従来の1/2の時間でそのレベルを変化させることができる。この信号線3のレベル変化は、トランスファゲート9を介してインバータ4に伝えられ、波形整形された出力24として出力端子5から出力される。

第3図は本発明の第2の実施例に係るドライブ回路の回路図である。

この回路では、信号線3を充放電する回路が第1図の回路とは異なっている。即ち、電源端子18と接地端子19との間には、抵抗16、トランスファゲート14、15及び抵抗17が直列に接続されており、トランスファゲート14、15の接続点が信号線3に接続され、さらにトランスファゲート14、15の制御入力として前述した制御信号11が供給されている。また、この回路では、トランスファゲート8が非導通状態のときインバータ4の出力レベルを保持するように設定することにより、第1図における出力段のラッチ回

路を省略している。他の構成については前述した実施例のものと同様である。

この回路においても、トランスファゲート9、13が非導通状態で且つトランスファゲート14、15が導通状態のときに、抵抗16、17を介して信号線3が充放電され、信号線3のレベルが抵抗16、17の分圧比で決定される中間レベルにバイアスされる。これにより、入力信号変化時の立ち上がり及び立ち下がり時間を短縮して信号伝播遅延時間を少なくすることができる。

〔発明の効果〕

以上説明したように、本発明は信号が伝播する負荷容量の電位を一旦中間レベルにしてから信号を変化させるようにしているのので、負荷容量への充放電時間を従来よりも短縮することができ、信号の伝播遅延時間を短縮することができるという効果を有する。

4. 図面の簡単な説明

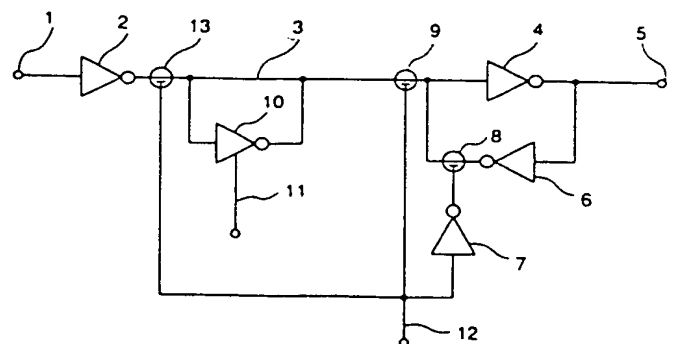
第1図は本発明の第1の実施例に係るドライブ回路の構成を示す回路図、第2図は同回路の動作

を説明するための波形図、第3図は本発明の第2の実施例に係るドライブ回路の構成を示す回路図、第4図は従来のドライブ回路の回路図、第5図は同回路の動作を説明するための波形図である。

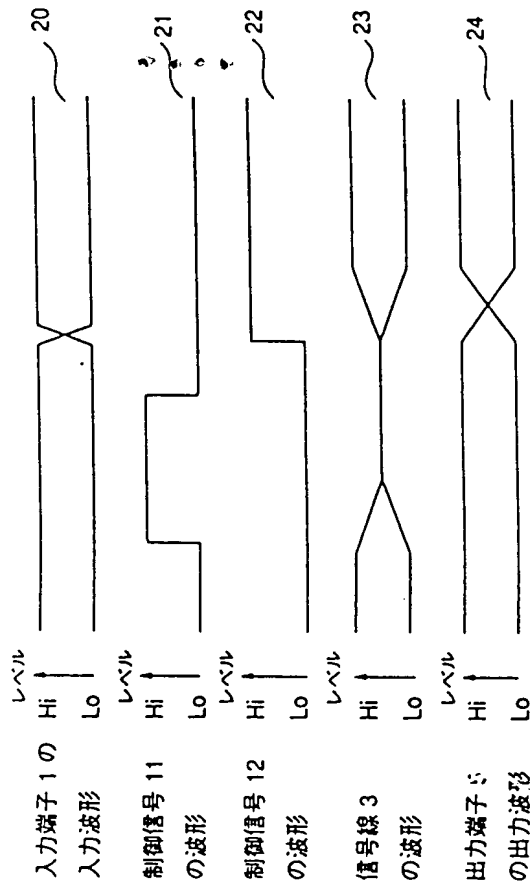
1：入力端子、2、4、6、7、10：インバータ、3：信号線、5：出力端子、8、9、13乃至15：トランスファゲート、16、17：抵抗、18：電源端子、19：接地端子

出願人 日本電気株式会社
代理人 弁理士 藤巻正憲

1：入力端子 5：出力端子
2,4,6,7,10：インバータ 8,9,13：トランスファゲート
3：信号線 11,12：制御信号

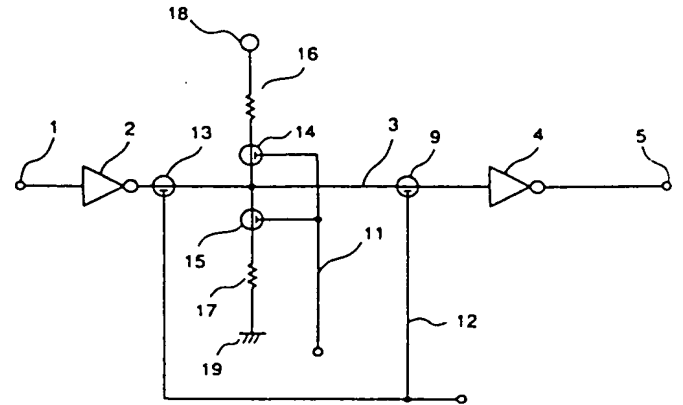


第 1 図



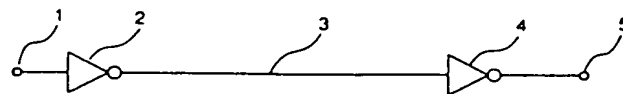
第 2 図

- 1: 入力端子
2,4: インバータ
3: 信号線
5: 出力端子
9,13~15: トランスファゲート
- 11,12: 制御信号
16,17: 抵抗
18: 電源端子
19: 接地端子

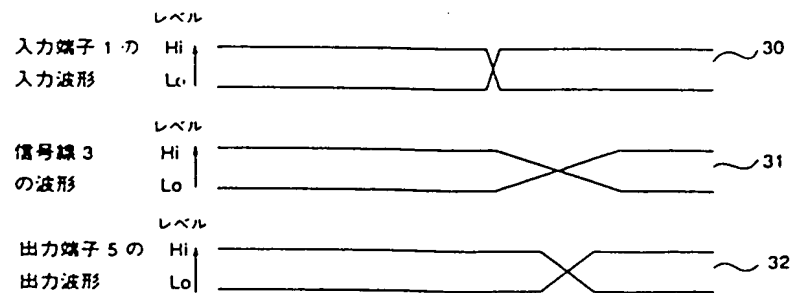


第 3 図

- 1: 入力端子
2,4: インバータ
3: 信号線
5: 出力端子



第 4 図



第 5 図